

**MOUNTING STRUCTURE FOR SEMICONDUCTOR CHIP, LIQUID- CRYSTAL
DEVICE, AND ELECTRONIC EQUIPMENT**

Patent number: JP2000183112

Publication date: 2000-06-30

Inventor: MURAMATSU EIJI

Applicant: SEIKO EPSON CORP

Classification:

- International: G02F1/136; G02F1/1368; H01L21/60; H05K1/18;
G02F1/13; H01L21/02; H05K1/18; (IPC1-7): H01L21/60;
G02F1/136; H01L21/60; H05K1/18

- european:

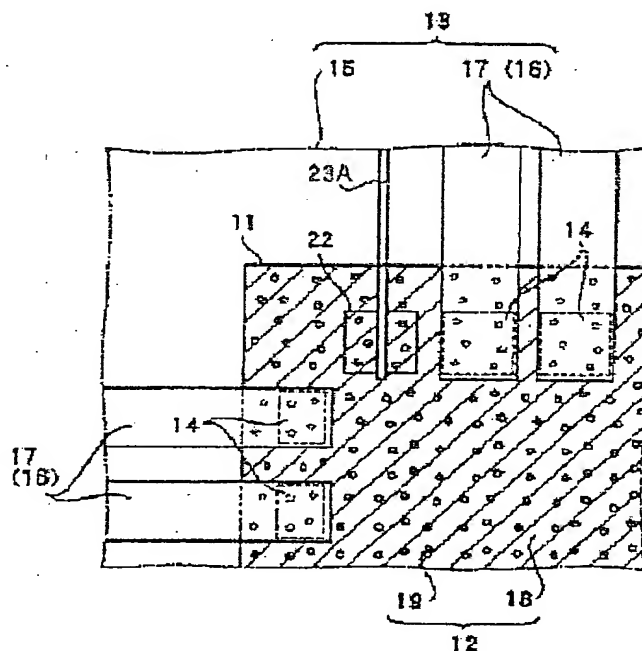
Application number: JP19980359070 19981217

Priority number(s): JP19980359070 19981217.

Report a data error here

Abstract of JP2000183112

PROBLEM TO BE SOLVED: To visually inspect with accuracy the connection state between a bump and a board-side terminal conductive-connected to it without decomposition, related to a mounting structure for a semiconductor chip which uses a board-side terminal or a wiring board with low transparency. **SOLUTION:** This is a mounting structure wherein a semiconductor chip 11 is conductively bonded to a wiring board 13 of low transparency using an ACF (anisotropic conductive film) 12. A dummy bump 22 is formed at a joint surface of the semiconductor chip 11, and a dummy terminal 23A is formed at the joint surface of the wiring board 13 with the dummy terminal 23A smaller in area than the dummy bump 22 and a board-side terminal 17. At a place of dummy bump 22 positioned outside the dummy terminal 23A, the state of ACF 12, for example presence of air bubbles or appropriate number of conductive particles, etc., is visually confirmed for grasping the conductive connection state between the board-side terminal 17 and the bump 14.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-183112

(P2000-183112A)

(43) 公開日 平成12年6月30日 (2000. 6. 30)

(51) Int. Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 1 L 21/60

3 1 1

H 0 1 L 21/60

3 1 1 S 2 H 0 9 2

3 2 1

3 2 1 Y 5 E 3 3 6

G 0 2 F 1/136

5 0 0

G 0 2 F 1/136

5 0 0 5 F 0 4 4

H 0 5 K 1/18

H 0 5 K 1/18

L

審査請求 未請求 請求項の数7 O L (全 9 頁)

(21) 出願番号

特願平10-359070

(22) 出願日

平成10年12月17日 (1998. 12. 17)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 村松 永三

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ

ーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外 2 名)

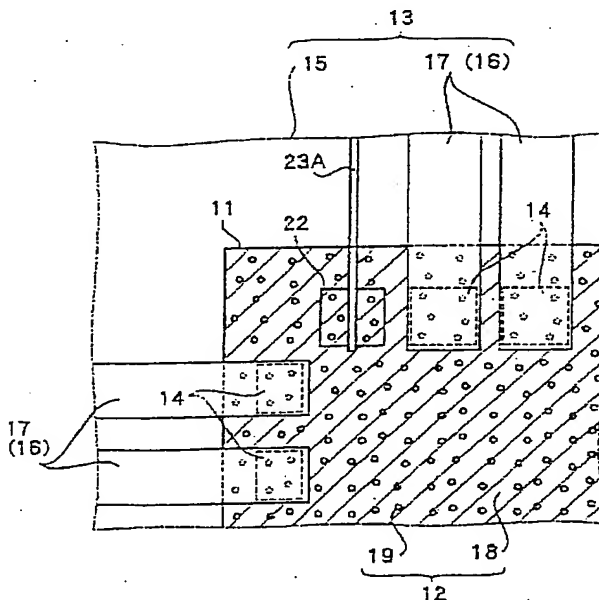
最終頁に続く

(54) 【発明の名称】 半導体チップの実装構造、液晶装置及び電子機器

(57) 【要約】

【課題】 透明性の低い配線基板又は基板側端子を用いる半導体チップの実装構造に関して、バンプ等とそれに導電接続される基板側端子との間の接続状態を、それらを分解することなく、視覚によって正確に検査できるようにする。

【解決手段】 半導体チップ 11 を A C F 1 2 を用いて透明性の低い配線基板 13 に導電接着する実装構造である。半導体チップ 11 の接合面にダミーバンプ 22 を形成し、配線基板 13 の接合面にダミー端子 23 A を形成し、さらにダミー端子 23 A は、ダミーバンプ 22 及び基板側端子 17 よりも小さい面積に形成する。ダミー端子 23 A の外側に位置するダミーバンプ 22 の所で A C F 1 2 の状態、例えば気泡があるか、導電粒子の数は適正数か等を視覚によって確認でき、これにより、基板側端子 17 とバンプ 14 間の導電接続状態を把握できる。



【特許請求の範囲】

【請求項 1】 半導体チップの実装構造であって、

(1) 接合面に複数の半導体側端子を備えた半導体チップと、接合面に複数の基板側端子を備えた配線基板とを、それらの半導体側端子と基板側端子とが互いに導通するように、導電接着剤を用いて接着することによって形成され、

(2) 前記基板側端子及び前記配線基板の少なくとも一方は透明性の低い材料によって形成され、

(3) 前記半導体チップの接合面に形成された半導体側ダミー端子と、前記配線基板の接合面に形成された基板側ダミー端子とを有し、さらに

(4) その基板側ダミー端子のうち前記半導体側ダミー端子と重なる部分は、その半導体側ダミー端子及び前記基板側端子よりも小さい面積に形成されることを特徴とする半導体チップの実装構造。

【請求項 2】 請求項 1 において、前記配線基板は可撓性材料によって形成されることを特徴とする半導体チップの実装構造。

【請求項 3】 請求項 1 又は請求項 2 において、前記基板側ダミー端子のうち前記半導体側ダミー端子と重なる部分は、幅の狭い直線パターンに形成されることを特徴とする半導体チップの実装構造。

【請求項 4】 請求項 1 又は請求項 2 において、前記基板側ダミー端子のうち前記半導体側ダミー端子と重なる部分は、幅の狭い環状パターンに形成されることを特徴とする半導体チップの実装構造。

【請求項 5】 請求項 1 又は請求項 2 において、前記基板側ダミー端子のうち前記半導体側ダミー端子と重なる部分は、幅の狭い十字形状パターンに形成されることを特徴とする半導体チップの実装構造。

【請求項 6】 液晶を挟む一对の液晶基板と、それらの液晶基板の少なくともいずれか 1 つに接続される半導体チップの実装構造とを有する液晶装置において、前記半導体チップの実装構造は、

(1) 接合面に複数の半導体側端子を備えた半導体チップと、接合面に複数の基板側端子を備えた配線基板とを、それらの半導体側端子と基板側端子とが互いに導通するように、導電接着剤を用いて接着することによって形成され、

(2) 前記基板側端子及び前記基板の少なくとも一方は透明性の低い材料によって形成され、

(3) 前記半導体チップの接合面に形成された半導体側ダミー端子と、前記配線基板の接合面に形成された基板側ダミー端子とを有し、さらに

(4) その基板側ダミー端子のうち前記半導体側ダミー端子と重なる部分は、その半導体側ダミー端子及び前記基板側端子よりも小さい面積に形成されることを特徴とする液晶装置。

【請求項 7】 液晶装置と、その液晶装置を収容する筐

体とを有する電子機器において、

前記液晶装置は、液晶を挟む一对の液晶基板と、それらの液晶基板の少なくともいずれか 1 つに接続される半導体チップの実装構造とを有し、

その半導体チップの実装構造は、

(1) 接合面に複数の半導体側端子を備えた半導体チップと、接合面に複数の基板側端子を備えた配線基板とを、それらの半導体側端子と基板側端子とが互いに導通するように、導電接着剤を用いて接着することによって形成され、

(2) 前記基板側端子及び前記基板の少なくとも一方は透明性の低い材料によって形成され、

(3) 前記半導体チップの接合面に形成された半導体側ダミー端子と、前記配線基板の接合面に形成された基板側ダミー端子とを有し、さらに

(4) その基板側ダミー端子のうち前記半導体側ダミー端子と重なる部分は、その半導体側ダミー端子及び前記基板側端子よりも小さい面積に形成されることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体チップを基板上に実装して成る半導体チップの実装構造に関する。また本発明は、その半導体チップの実装構造を用いて構成される液晶装置に関する。また本発明は、その液晶装置を用いて構成される電子機器に関する。

【0002】

【従来の技術】 現在、携帯電話機、携帯電子端末機等といった電子機器において液晶装置が広く用いられている。多くの場合は、文字、数字、絵柄等といった情報を表示するためにその液晶装置が用いられている。

【0003】 この液晶装置は、一般に、一对の液晶基板によって挟持される液晶を有し、その液晶に印加する電圧を制御することによってその液晶の配向を制御し、もって該液晶に入射する光を変調する。この液晶装置は、液晶に印加する電圧を制御するために液晶駆動用 IC、すなわち半導体チップを使用する必要があり、その IC は上記液晶基板に直接に又は配線基板を介して間接的に接続される。

【0004】 配線基板を介して液晶駆動用 IC を間接的に液晶基板に接続する場合には、例えば、液晶駆動用 IC を配線基板上に実装して半導体チップの実装構造を作製した後、その実装構造の配線基板を液晶装置の液晶基板に導電接続する。液晶駆動用 IC は一般にその接合面、すなわち能動面に複数のバンプを有する。また、配線基板の表面には所定の配線パターンが形成され、その配線パターンのうち液晶駆動用 IC が実装される領域にある部分は端子となっている。液晶駆動用 IC を配線基板上に実装する際には、例えば ACF (Anisotropic Conductive Film: 異方性導電膜) 等といった導電接着剤

を用いて液晶駆動用ICを配線基板上に接着すると共に、液晶駆動用ICの bumps を配線基板の端子に導電接続する。

【0005】

【発明が解決しようとする課題】上記のようにして液晶駆動用ICを配線基板上に実装した場合には、液晶駆動用ICの bumps が配線基板の端子に正確に導電接続されたかどうかを確認する必要がある。このような確認作業を行うとき、配線基板及びその上に形成した端子の両方が透明であれば、半導体側の bumps と配線基板側の端子との接続部分を配線基板を通して視覚的に直接に確認することができる。

【0006】しかしながら、半導体チップの実装構造の中には、ポリイミド等といった透明性が低い材料によって配線基板が形成されることがあり、また、銅(Cu)等といった透明性が低い材料によって配線パターンすなわち端子が形成されることがある。このような構造の半導体チップの実装構造に関しては、 bumps と配線基板側の端子との接続部分を配線基板を通して視覚的に直接に確認することが困難であり、従来はその確認のために、製造された複数の半導体チップの実装構造の中からいくつかを抜き取って半導体チップと配線基板との接続部分を分解し、その分解状態で接続状態を確認していた。

【0007】このような従来方法では、 bumps すなわち半導体側端子と配線基板側の端子との接続部分が分解の際に実際の状態と異なった状態になることがあるので、その接続状態を正確に確認することが難しいという問題があった。また、出来上がった製品を検査のために破壊しなければならないという問題もあった。

【0008】本発明は、上記の問題点に鑑みて成されたものであって、透明性の低い配線基板又は基板側端子を用いる構造の半導体チップの実装構造に関して、 bumps 等といった半導体側端子とそれと導電接続される基板側端子との間の接続状態を、それらを分解することなく、しかも視覚によって正確に検査できるようにすることを目的とする。

【0009】

【課題を解決するための手段】(1)上記の目的を達成するため、本発明に係る半導体チップの実装構造は、

(a) 接合面に複数の半導体側端子を備えた半導体チップと、接合面に複数の基板側端子を備えた配線基板とを、それらの半導体側端子と基板側端子とが互いに導通するように、導電接着剤を用いて接着することによって形成され、(b) 前記基板側端子及び前記配線基板の少なくとも一方は透明性の低い材料によって形成され、

(c) 前記半導体チップの接合面に形成された半導体側端子と、前記基板の接合面に形成された基板側端子とを有し、さらに(d) その基板側端子のうち前記半導体側端子と重なる部分は、その半導体側端子及び前記基板側端子よりも小さい面積

に形成されることを特徴とする。

【0010】配線基板がポリイミド等といった透明性の低い材料によって形成されたり、その配線基板上に設けられる端子がCu等といった透明性の低い材料によって形成される場合、その基板側の端子とそれに導電接続される半導体チップ側の端子との間の接続状態を半導体チップの実装構造の外部から視覚によって確認することは非常に難しい。

【0011】これに対し、本発明に係る半導体チップの実装構造では、①半導体チップの接合面に半導体側端子を設け、②基板の接合面に基板側端子を設け、さらに、③基板側端子のうち半導体側端子と重なる部分を半導体側端子及び信号伝送のための本来の基板側端子の両方よりも小さい面積となるように形成した。

【0012】その結果、仮に配線基板又は基板側端子が透明性の低い材料によって形成される場合でも、小さい面積で形成された基板側端子からはみ出る領域に存在する半導体チップ側の端子を配線基板を通して視覚によって確認することが可能となり、それ故、端子同士の接続状態を配線基板を通して視覚によって正確に確認できる。例えば、端子同士を導電接続している導電接着剤中に気泡が有るか無いか、導電接着剤中に含まれる導電粒子が端子同士の間に適正な数だけ存在するか等といったことを確認できる。

【0013】この視覚による確認は、半導体チップの実装構造を分解することなく行うことができるので、端子同士の接続状態を正確に確認できると共に、実装構造を無駄に破壊することも無くなる。

【0014】(2)ところで、端子同士の接続状態を確認することだけを考えると、半導体チップ側の端子に対向する位置の基板上には、どちらかと言えば、基板側端子が全く存在しないほうが良いかもしれない。その理由は、半導体側端子の全領域が基板側端子によって邪魔されることなく基板越しに視覚によって確認できるようになるからである。

【0015】しかしながら、そのように基板側端子を割愛すると、基板が可撓性材料によって形成される場合に、その基板側端子を割愛した部分の基板に窪みが出来、そのために本来導電接続しなければならない端子間部分に接続不良が発生するおそれがある。このことに関して、本発明のように、半導体側端子に対向させて常に基板側端子を設けるようにすれば、仮に基板を可撓性材料によって形成したとしても、その基板上記のような窪みが発生することを防止でき、よって、安定した端子間接属を確保できる。

【0016】つまり、本発明に係る半導体チップの実装構造は、半導体側端子に対向させて基板側端子を設けるという構成を採用するが故に、基板を可撓

性材料によって形成する場合に、端子間の接続安定性を確保することに関して特に有効である。

【0017】(3) 上記構成の半導体チップの実装構造において、前記基板側ダミー端子のうち前記半導体側ダミー端子と重なる部分は、幅の狭い直線パターンに形成することができる。こうすれば、導電接着剤として導電粒子を含むものを用いる場合に、必要以上の数の導電粒子が基板側ダミー端子によって捕獲、すなわち集められることを防止でき、よって、導電接続に与かる導電粒子の数を正確に把握できる。

【0018】(4) 上記構成の半導体チップの実装構造において、前記基板側ダミー端子のうち前記半導体側ダミー端子と重なる部分は、幅の狭い環状パターンに形成することもできる。この構成によれば、基板側ダミー端子を上記のように幅の狭い直線パターンに形成する場合に比べて、基板側ダミー端子と半導体側ダミー端子との間の安定性、ひいては基板側端子と半導体側端子との間の電気的な接続信頼性を安定化することができる。

【0019】(5) 上記構成の半導体チップの実装構造において、前記基板側ダミー端子のうち前記半導体側ダミー端子と重なる部分は、幅の狭い十字形状パターンに形成することもできる。この構成によれば、基板側ダミー端子を上記のように幅の狭い直線パターンに形成する場合に比べて、基板側ダミー端子と半導体側ダミー端子との間の安定性、ひいては基板側端子と半導体側端子との間の電気的な接続信頼性を安定化することができる。

【0020】(6) 次に、本発明に係る液晶装置は、液晶を挟む一对の液晶基板と、それらの液晶基板の少なくともいずれか1つに接続される半導体チップの実装構造とを有する液晶装置において、前記半導体チップの実装構造が、(a) 接合面に複数の半導体側端子を備えた半導体チップと、接合面に複数の基板側端子を備えた配線基板とを、それらの半導体側端子と基板側端子とが互いに導通するように、導電接着剤を用いて接着することによって形成され、(b) 前記基板側端子及び前記基板の少なくとも一方は透明性の低い材料によって形成され、(c) 前記半導体チップの接合面に形成された半導体側ダミー端子と、前記配線基板の接合面に形成された基板側ダミー端子とを有し、さらに(d) その基板側ダミー端子のうち前記半導体側ダミー端子と重なる部分は、その半導体側ダミー端子及び前記基板側端子よりも小さい面積に形成されることを特徴とする。

【0021】この構成の液晶装置においては、それに含まれる半導体チップの実装構造に関して、①半導体チップの接合面に半導体側ダミー端子を設け、②基板の接合面に基板側ダミー端子を設け、さらに、③基板側ダミー端子のうち半導体側ダミー端子と重なる部分を半導体側ダミー端子及び信号伝送のための本来の基板側端子の両方よりも小さい面積となるように形成した。

10

【0022】その結果、仮に配線基板又はその上に形成される基板側端子が透明性の低い材料によって形成される場合でも、小さい面積で形成された基板側ダミー端子からはみ出る領域に存在する半導体チップ側のダミー端子を配線基板を通して視覚によって確認することが可能となり、それ故、端子同士の接続状態を基板越しに視覚によって正確に確認できる。例えば、端子同士を導電接続している導電接着剤中に気泡が有るか無いか、導電接着剤中に含まれる導電粒子が端子同士の間に適正な数だけ存在するか等といったことを確認できる。

【0023】この視覚による確認は、半導体チップの実装構造を分解することなく行うことができるので、端子同士の接続状態を正確に確認できると共に、実装構造を無駄に破壊することも無くなる。

【0024】(7) 次に、本発明に係る電子機器は、液晶装置と、その液晶装置を収容する筐体とを有する電子機器であって、前記液晶装置は、液晶を挟む一对の液晶基板と、それらの液晶基板の少なくともいずれか1つに接続される半導体チップの実装構造とを有する。そして、その半導体チップの実装構造は、(a) 接合面に複数の半導体側端子を備えた半導体チップと、接合面に複数の基板側端子を備えた配線基板とを、それらの半導体側端子と基板側端子とが互いに導通するように、導電接着剤を用いて接着することによって形成され、(b) 前記基板側端子及び前記基板の少なくとも一方は透明性の低い材料によって形成され、(c) 前記半導体チップの接合面に形成された半導体側ダミー端子と、前記配線基板の接合面に形成された基板側ダミー端子とを有し、さらに(d) その基板側ダミー端子のうち前記半導体側ダミー端子と重なる部分は、その半導体側ダミー端子及び前記基板側端子よりも面積が小さいことを特徴とする。

【0025】この構成の電子機器においては、それに含まれる半導体チップの実装構造に関して、①半導体チップの接合面に半導体側ダミー端子を設け、②基板の接合面に基板側ダミー端子を設け、さらに、③基板側ダミー端子のうち半導体側ダミー端子と重なる部分を半導体側ダミー端子及び信号伝送のための本来の基板側端子の両方よりも小さい面積となるように形成した。

【0026】その結果、仮に配線基板又は基板側端子が透明性の低い材料によって形成される場合でも、小さい面積で形成された基板側ダミー端子からはみ出る領域に存在する半導体チップ側のダミー端子を配線基板を通して視覚によって確認することが可能となり、それ故、端子同士の接続状態を基板越しに視覚によって正確に確認できる。例えば、端子同士を導電接続している導電接着剤中に気泡が有るか無いか、導電接着剤中に含まれる導電粒子が端子同士の間に適正な数だけ存在するか等といったことを確認できる。

【0027】この視覚による確認は、半導体チップの実装構造を分解することなく行うことができるので、端子

50

同士の接続状態を正確に確認できると共に、実装構造を無駄に破壊することも無くなる。

【0028】

【発明の実施の形態】(第1実施形態)図1は、本発明に係る半導体チップの実装構造を用いた液晶装置の一実施形態を示している。ここに示す液晶装置1は、液晶パネル2に半導体チップの実装構造3を接続することによって形成される。また、必要に応じて、バックライト等といった照明装置、その他の付帯機器が液晶パネル2に付設される。

【0029】液晶パネル2は、シール材4によって接着された一対の基板6a及び6bを有し、それらの基板間に形成される間隙、いわゆるセルギャップに液晶が封入される。基板6a及び6bは一般には透光性材料、例えばガラス、プラスチック等によって形成される。基板6a及び6bの外側表面には偏光板8が貼着される。

【0030】一方の基板6aの内側表面には電極7aが形成され、他方の基板6bの内側表面には電極7bが形成される。これらの電極はストライプ状又は文字、数字、その他の適宜のパターン状に形成される。また、これらの電極7a及び7bは、ITO(Indium Tin Oxide: インジウムスズ酸化物)等といった透光性材料によって形成される。

【0031】一方の基板6aは他方の基板6bから張り出す張出し部を有し、その張出し部に複数の端子9が形成される。これらの端子9は、基板6a上に電極7aを形成するときと同時に形成され、従って、例えばITOによって形成される。これらの端子9には、電極7aから一体に延びるもの及び導通材(図示せず)を介して電極7bに接続するものが含まれる。

【0032】なお、電極7a、7b及び端子9は、実際には極めて狭い間隔で多数本が基板6a上及び基板6b上に形成されるが、図1では、構造を分かり易く示すためにそれらの間隔を拡大して模式的に示し、さらにそれらのうちの数本を図示することにして他の部分を省略してある。また、端子9と電極7aとの接続状態及び端子9と電極7bとの接続状態も図1では省略してある。

【0033】半導体チップの実装構造3は、半導体チップとしての液晶駆動用IC11を導電接着剤としてのACF(Anisotropic Conductive Film: 異方性導電膜)12によって配線基板13上の所定位置に接着することによって形成される。液晶駆動用IC11の接合面すなわち能動面には、半導体側端子としての複数のバンプ14が形成される。

【0034】ACF12は、周知の通り、一対の端子間を電気的に一括接続するために用いられる導電性のある高分子フィルムであって、例えば図2に示すように、熱可塑性又は熱硬化性の樹脂フィルム18の中に多数の導電粒子19を分散させることによって形成され、熱圧着することによって単一方向の導電性を持つ接続をするこ

とができるものである。

【0035】配線基板13は、FPC(Flexible Printed Circuit: 可撓性プリント基板)として構成されており、具体的には、ポリイミド等といった可撓性フィルム15の上にCu等によって配線パターン16を形成することによって作製される。図1に示すように配線パターン16には、配線基板13の外周の1側辺部に形成される出力用端子16a及びそれに対向する側辺部に形成される入力用端子16bが含まれる。また、配線パターン16のうち液晶駆動用IC11を装着するための領域に臨み出る部分は基板側端子17を構成する。

【0036】図2に示すように、液晶駆動用IC11はACF12内の樹脂部分によって配線基板13に接着され、また、液晶駆動用IC11のバンプ14がACF12内の導電粒子19によって配線パターン16の基板側端子17に導電接続される。なお、図2において符号24は絶縁膜を示している。

【0037】以上のようにして構成された半導体チップの実装構造3は、図1において、ACF21によって液晶パネル2の基板6aの張出し部に接着される。より具体的には、図2に示すように、ACF21の樹脂部分によって半導体チップの実装構造3と基板6aとが接着され、そして、ACF21内の導電粒子によって半導体チップの実装構造3の出力用端子16aと基板6a側の端子9とが導電接続される。

【0038】本実施形態の液晶装置は以上のように構成されているので、図1において半導体チップの実装構造3の入力用端子16bに必要な信号及び必要な電力を供給すれば、液晶駆動用IC11が作動して液晶パネル2内の複数の電極7a及び7bのうちの希望するいくつかを選択されてそれらに所定の電圧が印加され、これにより対応する部分の液晶の配向が制御され、その結果、液晶パネル2の表示領域内に文字、数字、絵柄等といった像が表示される。

【0039】図1に示す半導体チップの実装構造3において、配線基板13のうち符号Aで示す部分、すなわち液晶駆動用IC11の隅部に相当する部分を矢印Bのように配線基板13越しに見ると、図3に示す通りである。図3では、説明の便宜上、可撓性フィルム15を外した状態を図示してある。

【0040】図3に示す通り、液晶駆動用IC11は、斜線で示すACF12の樹脂部分18によって可撓性樹脂フィルム15に接着され、そして、液晶駆動用IC11のバンプ14と配線基板13側の基板側端子17とがACF12内の導電粒子19によって導電接続される。なお、図3においてバンプ14や導電粒子19は、理解し易い大きさで描かれており、必ずしも実際の寸法比率と同じであるとは限らない。

【0041】バンプ14と基板側端子17との間に安定した導電接続状態を確保するためには、バンプ14と基

板側端子 17 との間の ACF 12 の状態が適正でなければならない。例えば、ACF 12 の樹脂部分 18 内に気泡その他の異常があってはならない。また、バンプ 14 と基板側端子 17 との間に所定数、例えば 10 個程度の導電粒子が介在する必要がある。

【0042】本実施形態のように、可撓性フィルム 15 をポリイミドによって形成し、配線パターン 16 すなわち基板側端子 17 を Cu によって形成すれば、両者は全くの透明体ではないので、配線基板 13 を通してバンプ 14 と基板側端子 17 との接続部分を見たとき、それら 10 の間の ACF 12 の状態を視覚によって明確に確認することが非常に困難である。

【0043】そこで、本実施形態では、液晶駆動用 IC 11 の能動面の隅部に、バンプ 14 と同じ形状の半導体側ダミー端子としてのダミーバンプ 22 を形成し、さらに、配線基板 13 側の可撓性フィルム 15 上におけるダミーバンプ 22 に対応する所定位置に基板側ダミー端子 23 A を形成する。

【0044】そして本実施形態では、基板側ダミー端子 23 A の高さ（すなわち、図 3 の紙面垂直方向の寸法）は導電接続に与かる基板側端子 17 と同じに設定する。また、基板側ダミー端子 23 A の形状は、基板側端子 17 よりも幅の狭い直線状パターンに形成する。つまり、基板側ダミー端子 23 A は、ダミーバンプ 22 及び基板側端子 17 の両方よりも小さい面積に設定する。

【0045】ダミーバンプ 22 及び基板側ダミー端子 23 A を以上のように形成したので、観察者が図 1 の矢印 B 方向から配線基板 13 の裏側を見ると、図 3 に示すように、基板側ダミー端子 23 A から外れる領域にあるダミーバンプ 22 の部分を視覚によって鮮明に確認することができる。 30

【0046】そしてその結果、ダミーバンプ 22 の下側に位置する ACF 12 の状態、例えば、気泡が有るか無いか、導電粒子 19 が所定数有るかどうか等を正確に検査できる。そして、この検査により、導電接続に与かるバンプ 14 と基板側端子 17 との間の ACF 12 の状態を正確に把握できる。しかもこの検査は、非破壊で行うことができる。

【0047】なお、ダミーバンプ 22 に対向する位置に基板側ダミー端子 23 A を設けないと、可撓性フィルム 15 のその部分に窪みが発生し、それに起因して、バンプ 14 と基板側端子 17 との間の導電接続が不安定になるおそれがある。これに対し本実施形態のように、ダミーバンプ 22 に対応して必ず基板側ダミー端子 23 A を設けるようにすれば、そのような可撓性フィルム 15 の窪みの発生を確実に防止でき、従って、安定した接続安定性を確保できる。

【0048】（第 2 実施形態）図 4 は、本発明に係る半導体チップの実装構造の他の実施形態を示している。この実施形態が図 3 に示した実施形態と異なる点は、基板側 50

ダミー端子の形状に改変を加えたことであり、その他の点に関しては変更はない。従って、図 4 において図 3 と同じ部材は同じ符号を付して示すことにして、それらの説明は省略する。

【0049】図 4 に示す実施形態では、配線基板 13 側の可撓性フィルム 15 上におけるダミーバンプ 22 に対応する位置に設けられる基板側ダミー端子 23 B を、図 3 に示すような直線パターンに代えて、幅の狭い環状パターンに形成してある。

【0050】この構成によっても、基板側ダミー端子 23 B から外れる領域においてダミーバンプ 22 を視覚によって確認することができ、よって、その部分の ACF 12 の状態を確認することによって、導電接続部分の接続状態を非破壊で正確に把握することができる。

【0051】（第 3 実施形態）図 5 は、本発明に係る半導体チップの実装構造のさらに他の実施形態を示している。この実施形態が図 3 に示した実施形態と異なる点は、基板側ダミー端子の形状に改変を加えたことであり、その他の点に関しては変更はない。従って、図 5 において図 3 と同じ部材は同じ符号を付して示すことにして、それらの説明は省略する。

【0052】図 5 に示す実施形態では、配線基板 13 側の可撓性フィルム 15 上におけるダミーバンプ 22 に対応する位置に設けられる基板側ダミー端子 23 C を、図 3 に示すような直線パターンに代えて、幅の狭い十字形状パターンに形成してある。

【0053】この構成によっても、基板側ダミー端子 23 C から外れる領域においてダミーバンプ 22 を視覚によって確認することができ、よって、その部分の ACF 12 の状態を確認することによって、導電接続部分の接続状態を非破壊で正確に把握することができる。

【0054】（第 4 実施形態）図 6 は、本発明に係る半導体チップの実装構造のさらに他の実施形態を示している。この実施形態は図 4 に示す実施形態に改変を加えたものであり、具体的には、基板側ダミー端子 23 D が一部を開放した状態の環状パターン、すなわちコ字形状パターン又は U 字形状パターンに形成されている。

【0055】（第 5 実施形態）図 7 は、本発明に係る半導体チップの実装構造のさらに他の実施形態を示している。この実施形態は図 5 に示す実施形態に改変を加えたものであり、具体的には、基板側ダミー端子 23 E が図 5 に示した十字形状パターンのダミー端子 23 C を略 45° の角度だけ回転させたパターン形状に形成されている。

【0056】（第 6 実施形態）図 8 は、本発明に係る電子機器の一実施形態である携帯電話機を示している。ここに示す携帯電話機 30 は、アンテナ 31、スピーカ 32、液晶装置 1、キースイッチ 33、マイクロホン 34 等といった各種構成要素を、筐体としての外装ケース 35 に格納することによって構成される。また、外装ケー

ス 36 の内部には、上記の各構成要素の動作を制御するための制御回路を搭載した制御回路基板 37 が設けられる。液晶装置 1 は図 1 に示した液晶装置 1 によって構成される。

【0057】この携帯電話機 30 では、キースイッチ 33 及びマイクロホン 34 を通して入力される信号や、アンテナ 31 によって受信した受信データ等が制御回路基板 37 上の制御回路へ入力される。そしてその制御回路は、入力した各種データに基づいて液晶装置 1 の表示面に数字、文字、絵柄等といった像を表示し、さらに、

アンテナ 31 から送信データを送信する。

【0058】この携帯電話機 30 に用いられる液晶装置 1 では、図 3 に示すように、液晶駆動用 IC 11 の能動面の隅部に、バンプ 14 と同じ形状のダミーバンプ 22 を形成し、さらに、それに対向して基板側ダミー端子 23A を形成した。そしてその場合、基板側ダミー端子 23A の高さは導電接続に与かる基板側端子 17 と同じに設定し、しかし、基板側ダミー端子 23A の面積はダミーバンプ 22 及び基板側端子 17 の両方よりも小さい面積に形成した。

【0059】以上の結果、基板側ダミー端子 23A から外れる領域にあるダミーバンプ 22 を視覚によって確認することにより、ダミーバンプ 22 の下側に位置する ACF 12 の状態、例えば、気泡の有るか無いか、導電粒子 19 が所定数有るかどうかな等を正確に検査できるようになった。そして、この検査により、導電接続に与かるバンプ 14 と基板側端子 17 との間の ACF 12 の状態を非破壊状態で正確に把握できるようになった。

【0060】（その他の実施形態）以上、好ましい実施形態を挙げて本発明を説明したが、本発明はその実施形態に限定されるものでなく、請求の範囲に記載した発明の範囲内で種々に改変できる。

【0061】例えば、図 1 では、本発明に係る半導体チップの実装構造を液晶装置の構成要素として用いる場合を示したが、本発明に係る半導体チップの実装構造は液晶装置以外の任意の機器の構成要素として用いることができる。

【0062】また、図 1 に示す実施形態では、液晶パネルに 1 個の半導体チップの実装構造を接続する構造の液晶装置を例示したが、液晶パネルに複数の半導体チップの実装構造を接続する構造の液晶装置や実装基板上に半導体チップ以外の電子部品を実装した構造を持つ液晶表示装置にも本発明を適用できることはもちろんである。

【0063】また、図 8 の実施形態では、電子機器としての携帯電話機に本発明の液晶装置を用いる場合を例示したが、本発明の液晶装置はそれ以外の電子機器、例えば携帯情報端末、電子手帳、ビデオカメラのファインダー等に適用することもできる。

【0064】

【発明の効果】本発明に係る半導体チップの実装構造によれば、①半導体チップの接合面すなわち能動面に半導体側ダミー端子を設け、②基板の接合面に基板側ダミー端子を設け、さらに、③基板側ダミー端子のうち半導体側ダミー端子と重なる部分を半導体側ダミー端子及び信号伝送のための本来の基板側端子の両方よりも小さい面積となるように形成した。

【0065】その結果、仮に基板又は基板側端子が透明性の低い材料によって形成される場合でも、小さい面積で形成された基板側ダミー端子からはみ出る領域に存在する半導体チップ側のダミー端子を配線基板を通して視覚によって確認することが可能となり、それ故、端子同士の接続状態を基板越しに視覚によって正確に確認できる。

【0066】また、この視覚による確認は、半導体チップの実装構造を分解することなく行うことができるので、端子同士の接続状態を正確に確認できると共に、実装構造を無駄に破壊することも無くなる。

【図面の簡単な説明】

【図 1】本発明に係る半導体チップの実装構造及び液晶装置の一実施形態を分解して示す斜視図である。

【図 2】図 1 の液晶装置の要部を示す側面断面図である。

【図 3】本発明に係る半導体チップの実装構造の一実施形態を示す平面断面図である。

【図 4】本発明に係る半導体チップの実装構造の他の実施形態を示す平面断面図である。

【図 5】本発明に係る半導体チップの実装構造のさらに他の実施形態を示す平面断面図である。

【図 6】本発明に係る半導体チップの実装構造のさらに他の実施形態を示す平面断面図である。

【図 7】本発明に係る半導体チップの実装構造のさらに他の実施形態を示す平面断面図である。

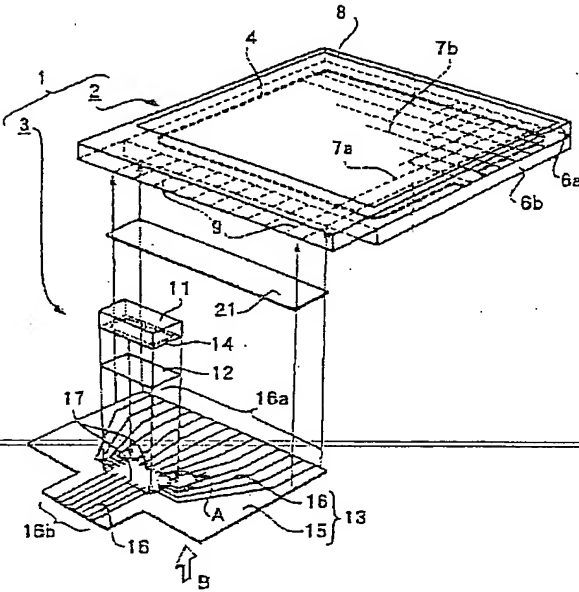
【図 8】本発明に係る電子機器の一実施形態を示す斜視図である。

【符号の説明】

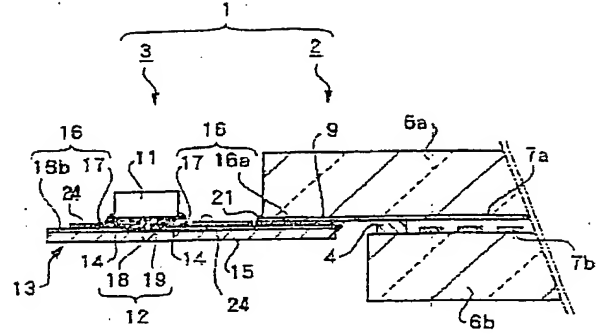
1	液晶装置
2	液晶パネル
3	半導体チップの実装構造
6 a, 6 b	基板
7 a, 7 b	電極
11	液晶駆動用 IC (半導体チップ)
1'2	ACF (導電接着剤)
13	配線基板
14	バンプ (半導体側端子)
15	可撓性フィルム
16	配線パターン
1'6 a, 1'6 b	端子
17	基板側端子
22	ダミーバンプ (半導体側ダミー端子)

23A, 23B, 23C, 23D, 23E 基板側ダミ* *一端子

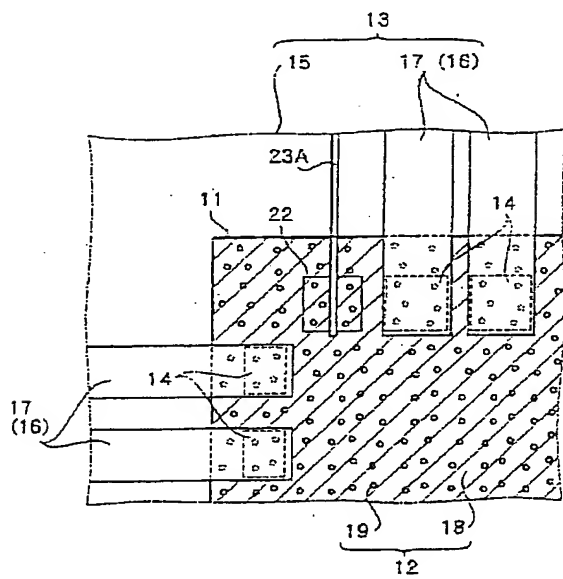
【図1】



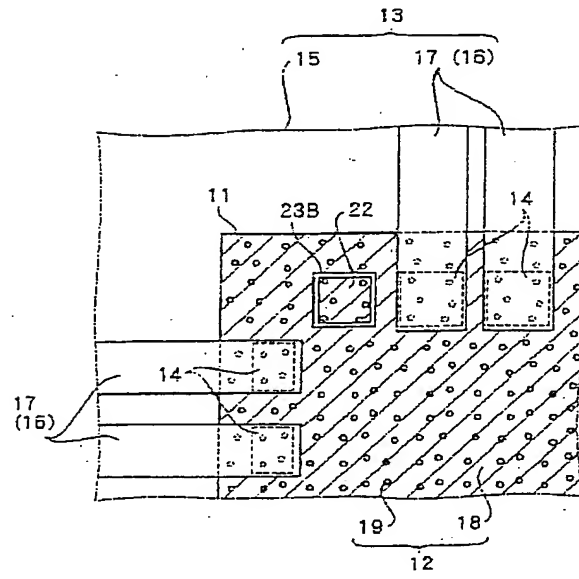
【図2】



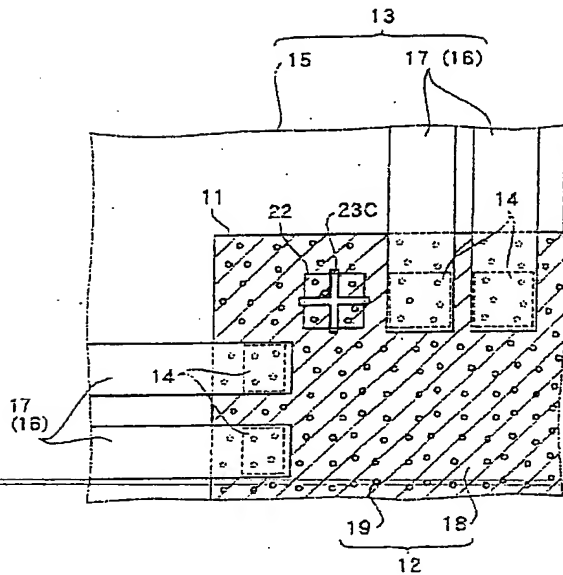
【図3】



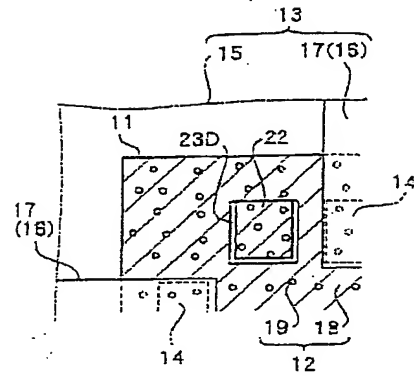
【図4】



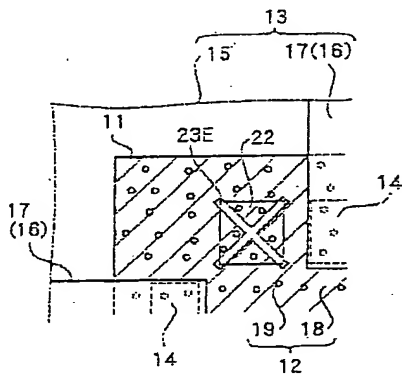
【図5】



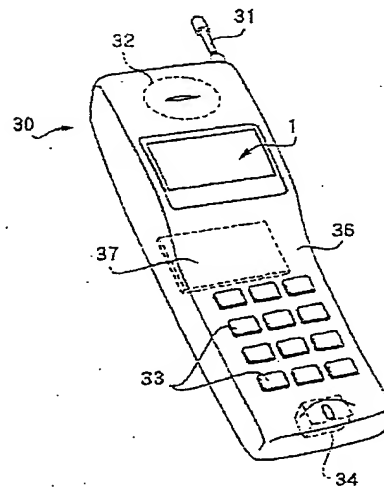
【図6】



【図7】



【図8】



フロントページの続き

Fターム(参考) 2H092 GA40 GA45 GA48 GA50 GA60
 MA55 NA30 PA01 PA11 PA13
 5E336 AA04 AA09 BB12 BC31 BC34
 CC32 CC43 CC58 DD01 EE05
 EE08 GG11
 5F044 KK03 KK06 KK11 KK21 LL09
 QQ06 QQ09

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.